

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭59-92483

⑫ Int. Cl.³
G 11 C 7/00

識別記号

厅内整理番号
6549-5B

⑬ 公開 昭和59年(1984)5月28日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体記憶装置

⑮ 特願 昭57-201958
⑯ 出願 昭57(1982)11月19日
⑰ 発明者 佐野亮一
小平市上水本町1450番地株式会

社日立製作所武藏工場内
⑮ 出願人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号
⑯ 代理人 弁理士 薄田利幸

明細書

発明の名称 半導体記憶装置

特許請求の範囲

1. ×nビットのデータを随時書き込み及び読み出す機能と、内部で形成されたアドレス信号に従って上記×nビットのデータを順次書き込み及び読み出す機能と、上記両機能を外部制御信号に従って選択する切替機能とを具備することを特徴とする半導体記憶装置。
2. 上記内部アドレス信号は、双方向カウンタ回路により形成されるものであることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。
3. 上記×nビットのデータを保持するメモリアレイ部は、スタティック型メモリセルにより構成されるものであることを特徴とする特許請求の範囲第1又は第2項記載の半導体記憶装置。

発明の詳細な説明

この発明は、半導体記憶装置に関する。

この発明の目的は、新規で機能を拡大した半導体記憶装置を提供することにある。

この発明の他の目的は、以下の説明及び図面から明らかになるであろう。

以下、この発明を実施例とともに詳細に説明する。

図面には、この発明の一実施例のブロック図が示されている。

同図において、破線で囲まれた各回路ブロックは、公知の半導体集積回路の製造技術により1個の半導体基板上において形成される。

メモリアレイM-ARYは、特に制限されないが、スタティック型のフリップフロップ回路がメモリセルとして用いられ、マトリックス状に配置されている。

XデコーダX-DCRは、上記メモリアレイM-ARYのワード線選択を行う。YデコーダY-DCRは、データ線選択を行う。この実施例では、1つのデータ線選択信号により、n組のデータ線が選択されるので、nビットのデータの書き込み及び読み出しが行われる。したがって、入出力回路I/Oは、n組のデータ入力回路とデータ出力回

路により構成される。

上記 X 及び Y デコーダ X, Y - D C R に供給されるアドレス信号 A D は、マルチプレクサ M P X を介して次の 2 種類のアドレス信号 A D 1, A D 2 が選択的に供給される。

アドレスバッファ A D B は、上記メモリアレイ M - A R Y の選択動作を随時（ランダム・アクセス）に行うためのものであり、I C 外部から供給されたアドレス信号を受け、上記一方のアドレス信号 A D 1 を形成する。

カウンタ C O U N T は、アップ／ダウンカウントであり、上記メモリアレイ M - A R Y の選択動作を順次（シーケンシャル）に行うためのものであり、I C 外部から供給されるタイミング信号 φ に従ってアドレス歩進動作が行われる。

制御回路 C O N T は、I C 外部からの動作モード信号に従ってこの半導体記憶装置を上記ランダム・アクセス動作又はシーケンシャル動作を選択的に行わせるための各種制御信号を形成する。

上記動作モード信号のうち、W E はライトイネーブル信号であり、W E がハイレベルならデータ出力回路が動作させて選択されたメモリセルからの読み出し情報を I C 外部に送出し、上記信号 φ がロウレベルならデータ入力回路を動作させて I C 外部から供給される書き込み情報を選択されたメモリセルに伝える。

CS はチップ選択信号であり、例えばハイレベルならこの I C チップが非選択状態に、ロウレベルなら選択状態にされる。具体的には、上記ロウレベルならアドレスバッファ A D B を動作にするタイミング信号 φ とカウンタ C O U N T の入力タイミング信号 φ を受けるようにする。

C は動作切り換え信号であり、例えばハイレベルならランダム・アクセス動作、ロウレベルならシーケンシャル動作を行わせる。このような動作切り換えは、例えば、信号 φ ax がハイレベルならマルチプレクサ M P X をアドレスバッファ A D B

側として、アドレス信号 A D 1 を伝え、信号 φ ax がロウレベルならマルチプレクサ M P X をカウンタ C O U N T 側として、アドレス信号 A D 2 を伝えることにより区別される。

U / D は、アップ／ダウン動作制御信号であり、例えばハイレベルならカウンタ C O U N T をアップカウント動作させ、ロウレベルならカウンタ C O U N T をダウンカウント動作させる。

次に、この実施例の半導体記憶装置 I C をランダム・アクセス・メモリとして動作させる場合について説明する。

まず、上記動作モード信号 C は、上記のようにハイレベルにされている。するとマルチプレクサ M P X がアドレスバッファ A D B 側の信号を X デコーダ及び Y デコーダに伝える。従って公知のランダム・アクセス・メモリ (RAM) と同様に、アドレスバッファ A D B は、チップ選択信号 CS がロウレベルに変化した時に発生するタイミング信号 φ a 同期して外部アドレス信号 A D 1' を取り込んで、内部アドレス信号 A D 1 に加工する。

この内部アドレス信号 A D 1 は、マルチプレクサ M P X を通じて上記 X デコーダ及び Y デコーダに供給され、メモリセルの選択動作が行われる。そして、ライトイネーブル信号 W E がハイレベルならデータ出力回路が動作するので、上記選択されたメモリセルの保持情報が output されて読み出しが行われる。また、ライトイネーブル信号 W E がロウレベルならデータ入力回路が動作するので、上記選択されたメモリセルに外部書き込みデータが伝えられて書き込みが行われる。

なお、この実施例においては、上記カウンタ C O U N T は、上記チップ選択信号 CS のロウレベルの変化により計数動作状態にされているが、タイミング φ が入力されないため、実質的には何の動作もしない。

また、この上記の半導体記憶装置 I C をシーケンシャル・メモリとして動作させる場合について説明する。

上記動作モード信号 C は、上記のようにロウレベルとされる。するとマルチプレクサ M P X がカ

カウンタ COUNT で形成されたアドレス信号 AD 2 を X デコーダ及び Y デコーダに伝える。そして、チップ選択信号 CS がロウレベルになり、タイミング信号 φ が入力されるとカウンタ COUNT が計数動作を行い、ライトイネーブル信号 WE がロウレベルなら上記制御信号 U/P がハイレベルとされアップカウント動作を行うので先頭アドレスから順次に変化するアドレス信号を形成する。したがって、このアドレス信号 AD 2 に対応したメモリセルの選択が行われ、上記タイミング信号 φ と同期して入力される書き込みデータ信号 D が順次書き込まれる。一方、上記状態においてライトイネーブル信号 WE がハイレベルされると上記制御信号 U/P がロウレベルとされカウンタ COUNT を上記書き込み最終アドレスから逆にダウンカウント動作を行わせるので、タイミング信号 φ に同期して上記書き込んだデータが逆に順次読み出される。すなわち、従来のシーケンシャル・メモリと等価な動作を行わせることができる。

この実施例においては、ランダム・アクセス・

メモリとしての機能とシーケンシャル・メモリとしての機能とを持たせることができる。したがって、例えば、この実施例の半導体記憶装置をマイクロコンピュータシステムの入出力用データバッファに利用した場合、シーケンシャル・メモリ機能を用いて端末装置等からのデータの読み込みを簡単高速に行うとともに、この寄込んだデータのうち必要なデータのみをランダム・アクセス・メモリ機能を用いて選択的に読み出して情報処理を行うとともに所定のアドレスに書き替えることができる。このように、この実施例の半導体記憶装置を用いることにより、マイクロコンピュータシステムの情報処理（データの読み込み、送出及び実質的な演算）を簡単に高速に行うことができる。

この発明は、前記実施例に限定されない。

メモリアレイは、上記スクティック型のものその他、ダイナミック型のものを用いるものであってもよい。そして、メモリアレイのアドレス設定動作を上記のようにランダム・アクセス動作とシーケンシャル・アクセス動作とを選択的に切り換え

る回路は、種々の実施形態を探ることができまするものである。

図面の簡単な説明

図面は、この発明の一実施例を示すブロック図である。

M-ARY … メモリアレイ、X-DCR … X デコーダ、Y-DCR … Y デコーダ、I/O … 入出力回路、MPX … マルチプレクサ、ADB … アドレスバッファ、COUNT … カウンタ、CONT … 制御回路

代理人弁理士 遠田 利勝
寺利雄
伊藤泰

